

10/537470

(12)特許協力条約に基づいて公開された国際出願

537470

(19)世界知的所有権機関  
国際事務局(43)国際公開日  
2004年6月17日 (17.06.2004)

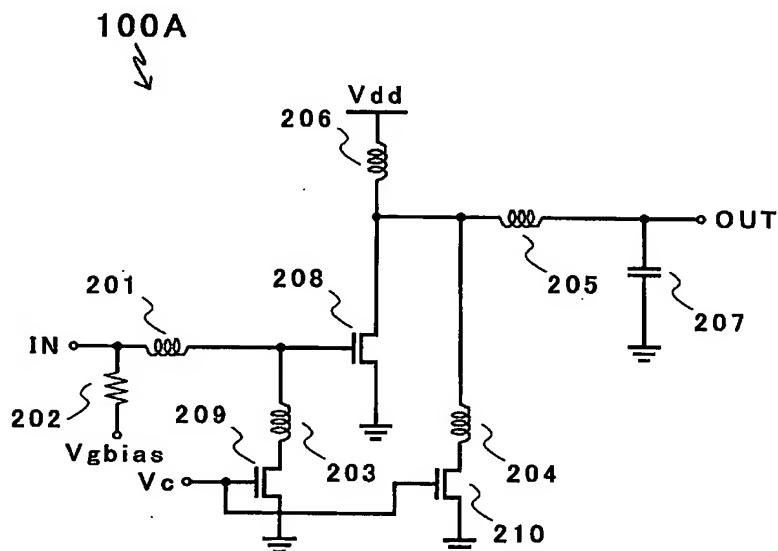
PCT

(10)国際公開番号  
WO 2004/051845 A1

- (51)国際特許分類: H03F 1/56, 3/68
- (21)国際出願番号: PCT/JP2003/015468
- (22)国際出願日: 2003年12月3日 (03.12.2003)
- (25)国際出願の言語: 日本語
- (26)国際公開の言語: 日本語
- (30)優先権データ:  
特願2002-352664 2002年12月4日 (04.12.2002) JP
- (71)出願人(米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 Tokyo (JP).
- (72)発明者; および
- (75)発明者/出願人(米国についてのみ): 矢野仁之 (YANO,Hitoshi) [JP/JP]; 〒108-8001 東京都港区芝五
- 丁目7番1号 日本電気株式会社内 Tokyo (JP). 山瀬知行 (YAMASE,Tomoyuki) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 沼田圭市 (NUMATA,Kelichi) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 前多正 (MAEDA,Tadashi) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
- (74)代理人: 天野広 (AMANO,Hiroshi); 〒105-0014 東京都港区芝三丁目40番4号 シャイン三田ビル5階 Tokyo (JP).
- (81)指定国(国内): CN, US.
- 添付公開書類:  
— 国際調査報告書
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

(54) Title: AMPLIFIER CIRCUIT

(54)発明の名称: 増幅回路



(57) Abstract: An amplifier circuit wherein its input and output terminals can be caused to exhibit adequately high impedances and wherein a high gain can be obtained with a low power consumption. An amplifying element (208) amplifies a signal from the input terminal (IN) to develop the amplified signal at the output terminal (OUT). A control circuit, which comprises inductance elements (203,204) and switching elements (209,210), causes the input and output impedances of the amplifying element (208) to be high impedances.

(57) 要約: 入出力を良好に高インピーダンスにでき、かつ、低消費電力で高利得の得られる増幅回路を提供する。増幅素子208は、入力端子INからの信号を増幅して出力端子OUTに出力する。インダクタンス素子203、204及びスイッチ素子209、210からなる制御回路は増幅素子208の入出力インピーダンスを高インピーダンスにする。

WO 2004/051845 A1

明細書増幅回路発明の技術分野

本発明は、高周波信号を増幅する増幅回路及びこの増幅回路を複数個有する可変利得増幅回路に関する。

従来の技術

無線通信システムにおいて、可変利得増幅回路は従来から重要な回路技術とされているが、携帯電話の高度化や、マルチメディアに対応するための無線LANシステムのデータ転送の高速化に伴って、より低電力で動作し、かつ、より高精度に利得を制御することができる事が可変利得増幅回路に求められている。

図11は、従来の利得可変増幅回路の一例を示す回路図である。

図11に示した可変利得増幅回路は、可変アッテネータ91と、可変アッテネータ91に直列に接続された増幅器92と、から構成されている。この可変利得増幅回路は、可変アッテネータ91の減衰量を変化させることによって、増幅回路全体の増幅度を制御する。

図12は、従来の可変利得増幅回路の他の例を示す回路図である。

図12に示した可変利得増幅回路は、可変アッテネータ93と、可変アッテネータ93に並列に接続された増幅器94と、可変アッテネータ93と増幅器94のいずれかを選択するスイッチ95<sub>1</sub>及び95<sub>2</sub>と、から構成されている。

スイッチ95<sub>1</sub>及び95<sub>2</sub>とともに増幅器94側の端子に接続されることにより、増幅器94が選択され(図12は増幅器94が選択された状態を示している)、スイッチ95<sub>1</sub>及び95<sub>2</sub>とともに可変アッテネータ93側の端子に接続されることにより、可変アッテネータ93が選択される。

図13は、特開2001-345653号公報に示された従来の可変利得増幅回路のさらに他の例を示す回路図である。

図13に示した可変利得増幅回路は、複数の増幅器96<sub>1</sub>乃至96<sub>N</sub>と、増幅器

9<sub>6</sub><sub>1</sub>乃至9<sub>6</sub><sub>N</sub>の各々に直列に接続された復調器9<sub>7</sub>と、から構成されている。增幅器9<sub>6</sub><sub>1</sub>乃至9<sub>6</sub><sub>N</sub>は相互に異なる利得をそれぞれ有している。

この可変利得増幅回路においては、所望の利得を得るのに適した増幅器だけがオンにされ、その他の増幅器はオフにされる。この結果、出力が高インピーダンスになり、オフにされた増幅器だけが復調器9<sub>7</sub>から電気的に切り離される。

図11に示された可変利得増幅器においては、初段に可変アッテネータ9<sub>1</sub>が配置されているため、その損失がそのままノイズ指数の悪化となり、ノイズ指数を良くすることができない。

また、必要な増幅度の大小に関わらず増幅器9<sub>2</sub>は増幅動作を行うので常に電力が消費され続ける。例えば、入力が大きく、従って、大きな増幅度が必要でない場合であっても、増幅器9<sub>2</sub>は常に増幅動作を行うこととなる。そのため、携帯端末のように、寿命に限界があるバッテリーで動作する機器においては、使用時間を延長することができない。

図12に示された可変利得増幅回路においては、複数のスイッチ（図12では2つ）が使用されるため、スイッチによる損失分を増幅器9<sub>4</sub>あるいは本可変利得増幅回路の後段の増幅器（図示せず）で補償する必要がある。そのため、装置全体として消費電力が増加する。

特に、数GHzを越える周波数帯ではスイッチの損失は大きく、そのため、所望の利得を得るのに必要となる消費電力がさらに大きくなる。

図13に示された可変利得増幅回路を適用できるのはIF帯のような数十MHz程度の周波数までである。増幅器9<sub>6</sub><sub>1</sub>乃至9<sub>6</sub><sub>N</sub>の負荷抵抗は50オームから200オーム程度に設定される。しかしながら、GHzを超える周波数では、半導体デバイスの寄生容量によりオフ状態でのインピーダンスが下がるので、オフにされている増幅器の出力が十分に高インピーダンスにならない。

利得の可変範囲を広くとるため、あるいは、利得の可変ステップを細かくとるためにには、並列に接続する増幅器の個数を増やせばよいが、そうすると、オフにされている増幅器のインピーダンスの影響により、次段へ信号が伝わらず、全体の利得が低下する。

本発明は、以上のような問題点に鑑みてなされたものであり、入出力を良好に

高インピーダンスにでき、かつ、低消費電力で高利得の得られる増幅回路を提供することを目的とする。

さらに、そのような増幅回路を複数有し、ノイズ特性に優れ、かつ、利得可変範囲の広い可変利得増幅回路を提供することを目的とする。

### 発明の開示

上記目的を達成するために、本発明は、入力端子を介して入力された信号を増幅して出力端子に出力する増幅素子と、前記増幅素子の入力インピーダンス及び出力インピーダンスの少なくとも何れか一方を高インピーダンスにする制御回路と、を有する増幅回路を提供する。

本発明に係る増幅回路によれば、制御回路によって入力インピーダンス及び出力インピーダンスの一方または双方が高インピーダンスとされるので、信号経路にスイッチを挿入することなく、電気的な接続／切断を切り替えることができ、スイッチを挿入することによる損失を生じない。

例えば、前記制御回路はインダクタンス素子とスイッチ素子とから構成することができる。この場合、例えば、前記インダクタンス素子と前記スイッチ素子とは相互に直列に接続され、かつ、前記入力端子または前記出力端子と接地電位との間に交流的に接続される。

制御回路をこのように構成することにより、増幅素子に寄生する容量による高周波数帯でのインピーダンスの低下をインダクタンス素子により相殺することができる。

前記スイッチ素子は、例えば、電界効果トランジスタから構成することができる。

前記インダクタンス素子は前記増幅素子に寄生する容量と並列共振するインダクタンス値を有することが好ましい。

これにより、増幅素子に寄生する容量による高周波数帯でのインピーダンスの低下を、所定の周波数で寄生容量と並列共振するインダクタンス素子により相殺することができる。

前記制御回路は、例えば、一端が前記入力端子または前記出力端子に接続され

た第一の伝送線路と、一端が接地された第二の伝送線路とを少なくとも含み、長さの総和が適用波長の4分の1の奇数倍となる少なくとも2つの伝送線路と、前記入力端子または前記出力端子と接地電位との間を前記適用波長の4分の1の奇数倍の伝送線路で接続するか、あるいは、それより短い伝送線路で接続するかを切り替えることが可能なスイッチ素子と、から構成することができる。

この場合、前記適用波長の4分の1の奇数倍より短い伝送線路は前記増幅素子に寄生する容量と並列共振する値のインダクタとして作用するものであることが好ましい。

前記増幅素子は、例えば、カスコード接続された二つの電界効果トランジスタから構成することができる。

本発明に係る増幅回路は、前記増幅素子と電源との間に直列に接続された電界効果トランジスタをさらに備えるものとして構成することができる。この電界効果トランジスタは前記増幅回路がオフの状態のときには前記電源から前記増幅回路への電流を遮断する。

本発明に係る増幅回路は差動増幅回路として構成することが可能である。この場合には、前記増幅素子と接地電位との間には定電流源用の電界効果トランジスタが追加して配置される。

さらに、本発明は、相互に異なる利得を有し、相互に並列に接続された少なくとも二つの増幅回路を備え、前記増幅回路は上記の何れかの増幅回路からなり、何れか一つの増幅回路あるいは選択された増幅回路を除く他の増幅回路の前記入力インピーダンス及び前記出力インピーダンスの少なくとも何れか一方を高インピーダンスにすることにより利得を変更することができる可変利得増幅回路を提供する。

#### 図面の簡単な説明

図1は、本発明の一実施形態に係る可変利得増幅回路の回路図である。

図2は、図1に示された可変利得増幅回路を構成する増幅回路の構成の第一の例を示す回路図である。

図3は、図2に示した増幅回路が高インピーダンス状態となる原理について説

明するための図である。

図4は、図1に示された可変利得増幅回路を構成する増幅回路の構成の第二の例を示す回路図である。

図5は、図1に示された可変利得増幅回路を構成する増幅回路の構成の第三の例を示す回路図である。

図6は、図1に示された可変利得増幅回路を構成する増幅回路の構成の第四の例を示す回路図である。

図7は、図1に示された可変利得増幅回路を構成する増幅回路の構成の第五の例を示す回路図である。

図8(a)は、本発明の一実施形態に係る可変利得増幅回路を構成する増幅回路の特性を示す回路図であり、図8(b)は、従来の可変利得増幅回路の特性を示す回路図である。

図9は、図8(a)、(b)に示された各可変利得増幅回路における周波数と利得との間の関係を示すグラフである。

図10は、図8(a)、(b)に示された各可変利得増幅回路における周波数とノイズ指数との間の関係を示すグラフである。

図11は、従来の利得可変増幅回路の一例を示す回路図である。

図12は、従来の利得可変増幅回路の他の一例を示す回路図である。

図13は、従来の利得可変増幅回路のさらに他の一例を示す回路図である。

#### (符号の説明)

1000 本発明の実施形態に係る可変利得増幅回路

100<sub>1</sub>—100<sub>N</sub> 増幅回路

100A 増幅回路 (第一の例)

100B 増幅回路 (第二の例)

100C 増幅回路 (第三の例)

100D 増幅回路 (第四の例)

100E 増幅回路 (第五の例)

201 第一インダクタ

203 第二インダクタ

204 第三インダクタ  
205 第四インダクタ  
206 第五インダクタ  
202 抵抗  
207 容量  
208 第一電界効果トランジスタ  
209 第二電界効果トランジスタ  
210 第三電界効果トランジスタ  
301、303、304、305、306 インダクタ  
307、320、321 容量  
400 第四電界効果トランジスタ  
401 第五電界効果トランジスタ  
601a、601b、603a、603b、604a、604b、605a、  
605b、606a、606b インダクタ  
602a、602b 抵抗  
607a、607b 容量  
608a、608b、609a、609b、610a、610b、611a、  
611b 電界効果トランジスタ  
613 第六電界効果トランジスタ  
721 第一伝送線路  
722 第二伝送線路  
723 第三伝送線路  
720 第一電界効果トランジスタ  
724 第二電界効果トランジスタ  
725 第三電界効果トランジスタ  
726 出力整合回路  
830、832、833 増幅回路  
831 アッテネータ  
IN 入力端子

## OUT 出力端子

### 好ましい実施例の詳細な説明

以下、本発明の好ましい実施形態について図面を参照して説明する。

図1は、本発明の一実施形態に係る可変利得增幅回路1000の構成を示す回路図である。本実施形態に係る可変利得增幅回路1000は、N個の増幅回路 $100_1$ 乃至 $100_N$ を備えており（Nは2以上の正の整数）、これらN個の増幅回路 $100_1$ 乃至 $100_N$ は入力端子INと出力端子OUTとの間において相互に並列に接続されている。

入力端子INには全ての増幅回路 $100_1$ 乃至 $100_N$ の入力端子が接続されており、出力端子OUTには全ての増幅回路 $100_1$ 乃至 $100_N$ の出力端子が接続されている。

増幅回路 $100_1$ 乃至 $100_N$ は全て同様の構成を有しているが、それぞれの利得は異なっている。

また、増幅回路 $100_1$ 乃至 $100_N$ の各々に印加される制御電圧 $V_{c1}$ 乃至 $V_{cN}$ によって、個々の増幅回路 $100_1$ 乃至 $100_N$ を高インピーダンスにすることが可能である。さらに、制御電圧 $V_{c1}$ 乃至 $V_{cN}$ により、各増幅回路 $100_1$ 乃至 $100_N$ を入力端子IN及び出力端子OUTに電気的に接続するか否かを選択することができる。従って、例えば、いずれか1つの増幅回路を選択し、この増幅回路を高インピーダンスにし、あるいは、他の増幅回路を高インピーダンスにすることによって、可変利得増幅回路1000の利得を所望の値にすることができる。

図2は、本実施形態に係る可変利得増幅回路1000を構成する増幅回路 $100_1$ 乃至 $100_N$ の構成の第一の例を示す図である。

第一の例の増幅回路100Aはシングルエンド型の増幅回路である。

図2に示すように、増幅回路100Aは、第一インダクタ201、第二インダクタ203、第三インダクタ204、第四インダクタ205、第五インダクタ206、抵抗202、容量207、第一電界効果トランジスタ208、第二電界効果トランジスタ209及び第三電界効果トランジスタ210から構成されている。

第一インダクタ 201 の一端は入力端子 IN 及び抵抗 202 の一端に接続され、他端は第一電界効果トランジスタ 208 のゲートと第二インダクタ 203 の一端に接続されている。

抵抗 202 の一端は入力端子 IN 及び第一インダクタ 201 の一端に接続され、他端はゲートバイアス電位 V<sub>g b i a s</sub> にされている。

第二インダクタ 203 の一端は第一インダクタ 201 の他端及び第一電界効果トランジスタ 208 のゲートに接続され、他端は第二電界効果トランジスタ 209 のドレインに接続されている。

第一電界効果トランジスタ 208 のゲートは第一インダクタ 201 の他端及び第二インダクタ 203 の一端に接続され、ドレインは第三インダクタ 204、第四インダクタ 205 及び第五インダクタ 206 の各々の一端に接続され、ソースは接地されている。

第二電界効果トランジスタ 209 のゲートには制御電圧 V<sub>c</sub> が供給され、ドレインは第二インダクタ 203 の他端に接続され、ソースは接地されている。

第三インダクタ 204 の一端は第四インダクタ 205 及び第五インダクタ 206 の各々の一端並びに第一電界効果トランジスタ 208 のドレインに接続され、他端は第三電界効果トランジスタ 210 のドレインに接続されている。

第三電界効果トランジスタ 210 のゲートには制御電圧 V<sub>c</sub> が供給され、ドレインは第三インダクタ 204 の他端に接続され、ソースは接地されている。

第五インダクタ 206 の一端は第三インダクタ 204 及び第四インダクタ 205 の各々の一端並びに第一電界効果トランジスタ 208 のドレインに接続され、他端には電源電圧 V<sub>d d</sub> が供給されている。

第四インダクタ 205 の一端は第三インダクタ 204 及び第五インダクタ 206 の各々の一端並びに第一電界効果トランジスタ 208 のドレインに接続され、他端は容量 207 の一端及び出力端子 OUT に接続されている。

容量 207 の一端は第四インダクタ 205 の他端及び出力端子 OUT に接続され、他端は接地されている。

第一インダクタ 201、第四インダクタ 205、第五インダクタ 206 及び容量 207 は入出力整合回路として機能する。さらに、第五インダクタ 206 はチ

ヨークインダクタとしての機能をも有している。抵抗202は入力信号にゲートバイアスを加える。

第一電界効果トランジスタ208は、本增幅回路100Aのメインの増幅素子である。制御電圧Vcは本增幅回路100Aをオン／オフするための制御電圧である。

スイッチ素子としての第二及び第三電界効果トランジスタ209、210と共に振用の第二及び第三インダクタ203、204とは制御回路を構成している。本增幅回路100Aは、この制御回路を制御することにより、オン状態とオフ状態との間で切り替わる。

例えば、制御電圧Vcをハイレベル（例えば、電源電圧Vdd）に設定し、ゲートバイアス電位Vgbiasを0Vに設定すると、増幅回路100Aはオフ状態となる。あるいは、制御電圧Vcをローレベル（例えば、0V）に設定し、ゲートバイアス電位Vgbiasを動作電位に設定すると、増幅回路100Aはオン状態となる。ここで、動作電位とは、第一電界効果トランジスタ208が増幅器として動作するゲートバイアス値である。

増幅回路100Aがオシ状態の場合には、増幅回路100Aは、入力端子IN及び出力端子OUTと電気的に接続され、入力端子INを介して入力された信号を増幅し、出力端子OUTに供給する。増幅回路100Aがオフ状態の場合には、増幅回路100Aは入出力側ともに高インピーダンスとなり、このため、入力端子IN及び出力端子OUTとは電気的に切り離される。

図3は、図2に示した増幅回路100Aが高インピーダンス状態となる原理について説明するための図である。以下、図3を参照して、増幅回路100Aが高インピーダンス状態となる原理について説明する。

図3(a)は、制御信号Vcをハイレベルとして第二及び第三電界効果トランジスタ209、210をオンにし、ゲートバイアス電位Vgbiasを0Vにしたときの増幅回路100Aの入力側の等価回路の回路図であり、図3(b)は、同様の場合の増幅回路100Aの出力側の等価回路の回路図である。

図3(a)において、インダクタ301は第一インダクタ201に、インダクタ303は第二インダクタ203に、それぞれ相当する。また、図3(b)にお

いて、インダクタ 306 は第五インダクタ 206 に、インダクタ 305 は第四インダクタ 205 に、容量 307 は容量 207 に、インダクタ 304 は第三インダクタ 204 にそれぞれ相当する。

図 3 (a)、(b) においては、ゲートバイアス電位  $V_{gbiás}$  は 0 V に設定されているので、第一電界効果トランジスタ 208 はオフとなっている。このため、第一電界効果トランジスタ 208 のゲート側 (図 3 (a)) から見てもドレイン側 (図 3 (b)) から見ても、図 3 (a)、(b) に示す回路の容量はデバイスの真性半導体が持つゲート容量及びドレイン容量すなわち容量 320、321 に見える。

図 3 (a) に示す回路においては、インダクタ 303 の値は、インダクタ 303 と容量 320 とが相互に並列共振するような値に決められている。また、同様に、図 3 (b) に示す回路においては、インダクタ 304 の値は、インダクタ 304 と容量 321 とが並列共振するような値に決められている。これにより、入力インピーダンス及び出力インピーダンスを高くすることができる。

容量 320、321 の値は、プロセスの世代及びゲートのサイズによって変わる。例えば、ゲート幅が  $300 \mu m$  の電界効果トランジスタにおいては、 $300 fF$  程度である。 $300 fF$  程度の容量について、周波数  $5 GHz$  の增幅回路を想定すれば、インダクタ 303、304 は  $3 nH$  程度とすればよい。この程度のインダクタであれば、配線によって IC 上に容易に形成することができる。

また、増幅回路 100A がオン状態で通常の増幅動作を行っているとき、第二及び第三電界効果トランジスタ 209、210 はオフである。第二及び第三電界効果トランジスタ 209、210 は、入力端子 IN 及び出力端子 OUT 間の信号の経路上には配置されていないので、オフ時の抵抗が高く設定されている。さらに、オフ時のシャント寄生容量が小さく抑えられ、インピーダンスは高くなっている。このため、第二及び第三電界効果トランジスタ 209、210 がオフのとき、インダクタ 303、304 はフローティング状態である。

以上説明したように、増幅回路 100A においては、信号経路にスイッチを挿入することなく、GHz オーダーを超える高周波数帯において、増幅回路 100A の入出力インピーダンスを高くすることができる。

このため、増幅回路 100A と同一の構成を有する増幅回路 100<sub>1</sub> 乃至 100<sub>N</sub> を並列接続した本実施形態に係る可変利得増幅回路 1000 において、利得の可変範囲を広く取っても、あるいは、利得の可変ステップを細かくとっても、高利得及び低ノイズ指數を維持することができる。

また、本実施形態に係る可変利得増幅回路 1000 においては、並列接続する増幅回路の数を増やしても高利得を維持することができるので、消費電流を抑えることができる。特に、GHz を越える高周波数帯で、その効果が顕著である。

図 4 は、本実施形態に係る可変利得増幅回路 1000 を構成する増幅回路 100<sub>1</sub> 乃至 100<sub>N</sub> の構成の第二の例を示す図である。

図 4 に示す増幅回路 100B は、図 2 に示した増幅回路 100A と比較して、第二の増幅素子として第四電界効果トランジスタ 400 を有している点においてのみ異なっている。第一の増幅素子としての第一電界効果トランジスタ 208 と第四電界効果トランジスタ 400 とは相互にカスコード接続されている。

第四電界効果トランジスタ 400 のゲートには第一の制御電圧 VcA が印加され、ドレインは第三インダクタ 204、第四インダクタ 205 及び第五インダクタ 206 の各々の一端が接続され、ソースは第一電界効果トランジスタ 208 のドレインに接続されている。

第二及び第三電界効果トランジスタ 209、210 の各々のゲートには、第二の制御電圧 VcB が印加される。

第一及び第五電界効果トランジスタ 208、400 は、本増幅回路 100B のメインの増幅素子である。

第一及び第二の制御電圧 VcA、VcB は、本増幅回路 100B をオン／オフするための制御電圧であり、相補関係にある。

本増幅回路 100B は、第二及び第三電界効果トランジスタ 209、210 並びに第二及び第三インダクタ 203、204 からなる制御回路を制御することにより、オン状態とオフ状態との間で切り替えられる。

例えば、第一の制御電圧 VcA をローレベル、第二の制御電圧 VcB をハイレベルに設定し、ゲートバイアス電位 Vgbias を 0V に設定すると、本増幅回路 100B はオフ状態となる。

一方、第一の制御電圧 $V_{cA}$ をハイレベル、第二の制御電圧 $V_{cB}$ をローレベルに設定し、ゲートバイアス電位 $V_{gbias}$ を動作電位に設定すると、本增幅回路100Bはオン状態となる。ここで動作電位とは、第一電界効果トランジスタ208が増幅器として動作するゲートバイアス値である。

增幅回路100Bがオン状態の場合には、增幅回路100Bは、入力端子IN及び出力端子OUTと電気的に接続され、入力端子INを介して入力された信号を増幅し、出力端子OUTに供給する。增幅回路100Bがオフ状態の場合には、增幅回路100Bは入出力側ともに高インピーダンスとなり、このため、入力端子IN及び出力端子OUTとは電気的に切り離される。

本增幅回路100Bが高インピーダンス状態となる原理は図2に示した增幅回路100Aの場合と同じである。

なお、本增幅回路100Bによれば、2つの電界効果トランジスタ208、400がカスコード接続されることにより、入力端子INと出力端子OUTとの間の容量が小さくなっていることにより、図2に示した增幅回路100Aよりもさらに高い周波数帯で動作可能である。

図5は、本実施形態に係る可変利得増幅回路1000を構成する増幅回路100<sub>1</sub>乃至100<sub>N</sub>の構成の第三の例を示す図である。

図5に示す増幅回路100Cは、図4に示した増幅回路100Bと比較して、電流遮断用の第五電界効果トランジスタ401を有している点においてのみ異なっている。

第五電界効果トランジスタ401は整合用のインダクタ206と電源電圧 $V_{dd}$ の間に直列に配置されている。具体的には、第五電界効果トランジスタ401のゲートには第二の制御電圧 $V_{cB}$ が印加され、ドレインには電源電圧 $V_{dd}$ が供給され、ソースは第五インダクタ206の一端と接続されている。

第五電界効果トランジスタ401は、本増幅回路100Cがオフ状態のときに、電源から本増幅回路100Cへの電流の供給を遮断する。

図6は、本実施形態に係る可変利得増幅回路1000を構成する増幅回路100<sub>1</sub>乃至100<sub>N</sub>の構成の第四の例を示す図である。

図6に示す増幅回路100Dは、図5に示した増幅回路100Cと比較して、

差動増幅回路として構成されている点と、定電流源用の第六電界効果トランジスタ 613 を有している点においてのみ異なっている。

増幅回路 100D の基本的な回路構成は図 5 に示した増幅回路 100C と同様であるが、増幅回路 100D においては、第五電界効果トランジスタ 401 以外の増幅回路 100C を構成する各要素が次のように置き換えられている。

第一インダクタ 201 は相互に並列に配置されている一対のインダクタ 601a、601b に置き換えられており、また、抵抗 202 は一対のインダクタ 601a、601b の各々に接続する一対の抵抗 602a、602b に置き換えられている。また、第二インダクタ 203 は一対のインダクタ 603a、603b に、第二電界効果トランジスタ 209 は一対の電界効果トランジスタ 609a、609b に置き換えられている。

また、第五インダクタ 206 は一対のインダクタ 606a、606b に、第四電界効果トランジスタ 400 は一対の電界効果トランジスタ 611a、611b に、第一電界効果トランジスタ 208 は一対の電界効果トランジスタ 608a、608b にそれぞれ置き換えられている。第三インダクタ 204 は一対のインダクタ 604a、604b に、第三電界効果トランジスタ 210 は一対の電界効果トランジスタ 610a、610b にそれぞれ置き換えられている。

第四インダクタ 205 は一対のインダクタ 605a、605b に、容量 207 は一対の容量 607a、607b にそれぞれ置き換えられている。

第六電界効果トランジスタ 613 は、増幅器としての第一電界効果トランジスタ 608a、608b の各ソースと接地電位の間に配置されている。具体的には、第六電界効果トランジスタ 613 のゲートには動作電位であるゲートバイアス電位  $V_s$  が印加され、ドレインは第一電界効果トランジスタ 608a、608b の各ソースに接続され、ソースは接地されている。

第一電界効果トランジスタ 608a、608b のゲートバイアス電位  $V_{gb1}$  及び定電流源用の第六電界効果トランジスタ 613 のゲートバイアス電位  $V_s$  を動作電位に設定し、制御電圧  $V_{cA}$  をハイレベルに設定すると、第四電界効果トランジスタ 211a、211b 及び第五電界効果トランジスタ 401 はオン状態となり、第二電界効果トランジスタ 609a、609b 及び第三電界効果ト

ランジスタ 610a、610b はオフ状態となる。これにより、第二インダクタ 603a、603b 及び第三インダクタ 604a、604b はフローティング状態となり、本増幅回路 100D は通常の増幅動作を行う。

一方、制御電圧  $V_{cA}$  がローレベルのとき、第四電界効果トランジスタ 611a、611b 及び第五電界効果トランジスタ 401 がオフとなり、第二電界効果トランジスタ 609a、609b 及び第三電界効果トランジスタ 610a、610b がオンとなる。このとき、第二インダクタ 603a、603b 及び第三インダクタ 604a、604b は接地され、第二界効果トランジスタ 609a、609b 及び第三電界効果トランジスタ 610a、610b の容量と並列共振することにより、本増幅回路 100D の入出力インピーダンスが高くなる。

図 7 は、本実施形態に係る可変利得増幅回路 1000 を構成する増幅回路 100<sub>1</sub> 乃至 100<sub>N</sub> の構成の第五の例を示す図である。

図 7 に示す増幅回路 100E は伝送線路を用いて構成されている。図 7 に示すように、本増幅回路 100E は、第一伝送線路 721 と、第二伝送線路 722 と、第三伝送線路 723 と、第一電界効果トランジスタ 720 と、第二電界効果トランジスタ 724 と、第三電界効果トランジスタ 725 と、出力整合回路 726 と、から構成されている。

第一伝送線路 721 の一端は入力端子 IN に接続され、他端は第二伝送線路 722 の一端及び第一電界効果トランジスタ 720 のゲートに接続されている。

第二伝送線路 722 の一端は第一伝送線路 721 の他端及び第一電界効果トランジスタ 720 のゲートに接続され、他端は第二及び第三電界効果トランジスタ 724、725 の各々のドレインに接続されている。

第三伝送線路 723 の一端は第二電界効果トランジスタ 724 のソースに接続され、他端は接地されている。

第一電界効果トランジスタ 720 のゲートは第一伝送線路 721 の他端及び第二伝送線路 722 の一端に接続され、ドレインは出力整合回路 726 を介して出力端子 OUT に接続されており、ソースは接地されている。

第二電界効果トランジスタ 724 のゲートには第二の制御電圧  $V_{cB}$  が印加され、ドレインは第二伝送線路 722 の他端及び第三電界効果トランジスタ 725

のドレインに接続され、ソースは第三伝送線路 723 の一端に接続されている。

第三電界効果トランジスタ 725 のゲートには第一の制御電圧  $V_{cA}$  が印加され、ドレインは第二伝送線路 722 の他端及び第二電界効果トランジスタ 724 のドレインに接続され、ソースは接地されている。第一の制御電圧  $V_{cA}$  は第二の制御電圧  $V_{cB}$  と相補関係にある。

第一伝送線路 721 は入力整合をとり、出力整合回路 726 は出力整合をとる。第一電界効果トランジスタ 720 は、本增幅回路 100E のメインの増幅素子である。

第二伝送線路 722 の長さは、本增幅回路 100E が適用される信号の波長の 4 分の 1 より短い。このため、第二伝送線路 722 はインダクタとして働く。また、第二伝送線路 722 の長さは、第二伝送線路 722 のインダクタンスが第一電界効果トランジスタ 720 のゲート容量と並列共振するような値に設定されている。

第二伝送線路 722 の長さ及び第三伝送線路 723 の長さは、それらの和が、本增幅回路 100E が適用される信号の波長の 4 分の 1 (あるいは、その奇数倍) に相当するように、決められている。

説明を簡単にするため、以下、入力側にのみ着目して、本增幅回路 100E の動作を説明する。

第二及び第三電界効果トランジスタ 724、725 の各々は S P S T (Single-Pole Single-Throw) スイッチを構成する。さらに、第二及び第三電界効果トランジスタ 724、725 は、相補関係にある第一及び第二の制御電圧  $V_{cA}$ 、 $V_{cB}$  によってそれぞれ制御される。

第一の制御電圧  $V_{cA}$  がハイレベルに設定され、第二の制御電圧  $V_{cB}$  がロー レベルに設定されると、第二電界効果トランジスタ 724 はオフに、第三電界効果トランジスタ 725 はオンになる。これにより、第三伝送線路 723 は本增幅回路 100E から切り離され、第二伝送線路 722 が直接的に接地される。第二伝送線路 722 は波長の 4 分の 1 より短いのでインダクタとして働き、かつ、そのインダクタンスが第一電界効果トランジスタ 720 のゲート容量と並列共振するような値となっているので、入力端子 IN から見て、本增幅回路 100E は高

インピーダンスとなっている。

一方、第一の制御電圧  $V_{cA}$  がローレベルに設定され、第二の制御電圧  $V_{cB}$  がハイレベルに設定されると、第二電界効果トランジスタ 724 がオンに、第三電界効果トランジスタ 725 がオフになる。これにより、第三伝送線路 723 が第二電界効果トランジスタ 724 を介して電気的に第二伝送線路 722 と接続された状態となる。

第二伝送線路 722 と第三伝送線路 723 の長さの合計は4分の1波長であり、さらに、第三伝送線路 723 の他端は接地されているので、第一電界効果トランジスタ 720 のゲートから第二及び第三伝送線路 722、723 を見ると、インピーダンスが無限大となっている。インピーダンスが無限大に見える第二伝送線路 722 及び第三伝送線路 723 は、第一電界効果トランジスタ 720 のゲートに対しては何の影響も与えない。従って、本增幅回路 100E は、第二伝送線路 722 及び第三伝送線路 723 の影響を受けることなく、通常の増幅動作を行うだけである。

なお、第一の制御電圧  $V_{cA}$  をハイレベルに、第二の制御電圧  $V_{cB}$  をローレベルに設定するとき、第一電界効果トランジスタ 720 が増幅動作を行わないよう、ゲートバイアス電圧を設定する必要がある。

次に、上述の増幅回路 100A—100E の特性と従来の増幅回路の特性とを比較する。

図 8 (a) は上述の増幅回路 100A—100E の何れかを用いた可変利得増幅回路の回路図であり、図 8 (b) は従来の可変利得増幅回路の回路図である。

図 8 (a) に示された可変利得増幅回路は、増幅回路 832 と、増幅回路 832 の出力に対して直列に接続された増幅回路 830 と、増幅回路 832 の出力に対して直列に、かつ、増幅回路 830 に対して並列に接続されたアンテネータ 831 と、から構成されている。

増幅回路 830 は、スイッチ用の電界効果トランジスタを切り替えることによって、増幅用の電界効果トランジスタのゲート容量とインダクタとからなる並列共振回路を構成するか否かを選択することが可能であるような構成になっている。並列共振回路が構成されると、増幅回路 830 は入出力が高インピーダンスとな

り、可変利得増幅回路から電気的に切断される。

具体的には、増幅回路 830 は上述の増幅回路 100A—100E の何れか一つから構成されている。

図 8 (b) に示された可変利得増幅回路は、図 8 (a) に示された可変利得増幅回路と同様に、増幅回路 832 と、増幅回路 832 の出力に対して直列に接続された増幅回路 833 と、増幅回路 830 の出力に対して直列に、かつ、増幅回路 833 に対して並列に接続されたアッテネータ 831 と、から構成されている。

増幅回路 833 は、増幅回路 830 と異なり、信号の経路にスイッチ用の電界効果トランジスタを挿入し、その電界効果トランジスタのオン／オフにより可変利得増幅回路に電気的に接続されるか否かが選択される構成となっている。

図 8 (a) 及び (b) に示された各可変利得増幅回路はともに 5 GHz 帯の信号に適用されるものとして、インダクタンスの値が決められているものとする。

図 9 は、図 8 (a) 及び (b) に示された各可変利得増幅回路における周波数と利得との間の関係を示すグラフである。

図 9 には、増幅回路 830、833 を可変利得増幅回路に電気的に接続したとき（高利得動作）の利得特性と、可変利得増幅回路から電気的に切断したとき（低利得動作）の利得特性が示されている。

図 10 は、図 8 (a) 及び (b) に示された各可変利得増幅回路における周波数とノイズ指数との間の関係を示すグラフである。

図 9 及び図 10において、図 8 (a) の可変利得増幅回路の特性は実線で示され、図 8 (b) の可変利得増幅回路の特性は破線で示されている。

図 9 を参照すると、高利得動作時の利得は、図 8 (a) の可変利得増幅回路の方が図 8 (b) の可変利得増幅回路よりも 5 dB 程度高くなっている。

また、図 10 を参照すると、ノイズ指数は、図 8 (a) の可変利得増幅回路の方が図 8 (b) の可変利得増幅回路よりも 0.2 dB 程度低くなっている。これは、図 8 (b) の可変利得増幅回路では、信号の経路に挿入されているスイッチ用の電界効果トランジスタにおいて信号による損失が起こるためである。この損失を増幅回路の利得を上げることにより補うと、消費電流が 50% 程度増大することになる。すなわち、図 8 (a) の可変利得増幅回路は図 8 (b) の可変利得

増幅回路に対して 50 % の消費電力低減効果を上げていると言える。

一方、図 9 を参照すると、低利得動作時の利得は、図 8 (a)、(b) の可変利得増幅回路の両者に利得の差は殆どない。これは、個々の増幅回路 830、833 が可変利得増幅回路から電気的に良好に切断されているからである。つまり、増幅回路の入出力が良好に高インピーダンスとなっていると言える。

### 産業上の利用可能性

本発明によれば、制御回路によって入力インピーダンス及び出力インピーダンスの一方または双方が高インピーダンスとされるので、信号経路にスイッチを挿入することなく、電気的な接続／切断を切り替えることができ、さらに、スイッチを挿入することによる損失を生じることなく、低消費電力で高利得を得ることができる。

また、増幅素子に寄生する容量による高周波数帯におけるインピーダンスの低下をインダクタンス素子により相殺することができるので、高周波数帯においても高インピーダンスとすることができます。また、インピーダンスの低下を所定の周波数で寄生容量と並列共振するインダクタンス素子によっても相殺することができるので、所定の周波数で高インピーダンスとすることができます。

また、本発明に係る可変利得増幅回路によれば、可変利得増幅回路を構成する各増幅回路は選択されていないときに、入出力を高インピーダンス化することができる。このため、並列接続する増幅回路の数が多くても高利得を維持することができるので、広い利得可変範囲をとっても、あるいは、細かい利得可変ステップをとっても、高利得、低ノイズ指数及び低消費電流を実現することができる。

請求の範囲

1. 入力端子を介して入力された信号を増幅して出力端子に出力する増幅素子と、

前記増幅素子の入力インピーダンス及び出力インピーダンスの少なくとも何れか一方を高インピーダンスにする制御回路と、

を有する増幅回路。

2. 前記制御回路はインダクタンス素子とスイッチ素子とから構成されることを特徴とする請求項1に記載の増幅回路。

3. 前記インダクタンス素子と前記スイッチ素子とは相互に直列に接続され、かつ、前記入力端子または前記出力端子と接地電位との間に交流的に接続されていることを特徴とする請求項2に記載の増幅回路。

4. 前記スイッチ素子は電界効果トランジスタから構成されることを特徴とする請求項3に記載の増幅回路。

5. 前記インダクタンス素子は前記増幅素子に寄生する容量と並列共振するインダクタンス値を有することを特徴とする請求項3に記載の増幅回路。

6. 前記制御回路は、

一端が前記入力端子または前記出力端子に接続された第一の伝送線路と、一端が接地された第二の伝送線路とを少なくとも含み、長さの総和が適用波長の4分の1の奇数倍となる少なくとも2つの伝送線路と、

前記入力端子または前記出力端子と接地電位との間を前記適用波長の4分の1の奇数倍の伝送線路で接続するか、あるいは、それより短い伝送線路で接続するかを切り替えることが可能なスイッチ素子と、

から構成されていることを特徴とする請求項1に記載の増幅回路。

7. 前記適用波長の4分の1の奇数倍より短い伝送線路は前記増幅素子に寄生する容量と並列共振する値のインダクタとして作用することを特徴とする請求項6に記載の増幅回路。

8. 前記増幅素子は、カスコード接続された二つの電界効果トランジスタからなるものであることを特徴とする請求項1に記載の増幅回路。

9. 前記増幅素子と電源との間に直列に接続された電界効果トランジスタをさらに備え、前記電界効果トランジスタは前記増幅回路がオフの状態のときには前記電源から前記増幅回路への電流を遮断するものであることを特徴とする請求項1に記載の増幅回路。

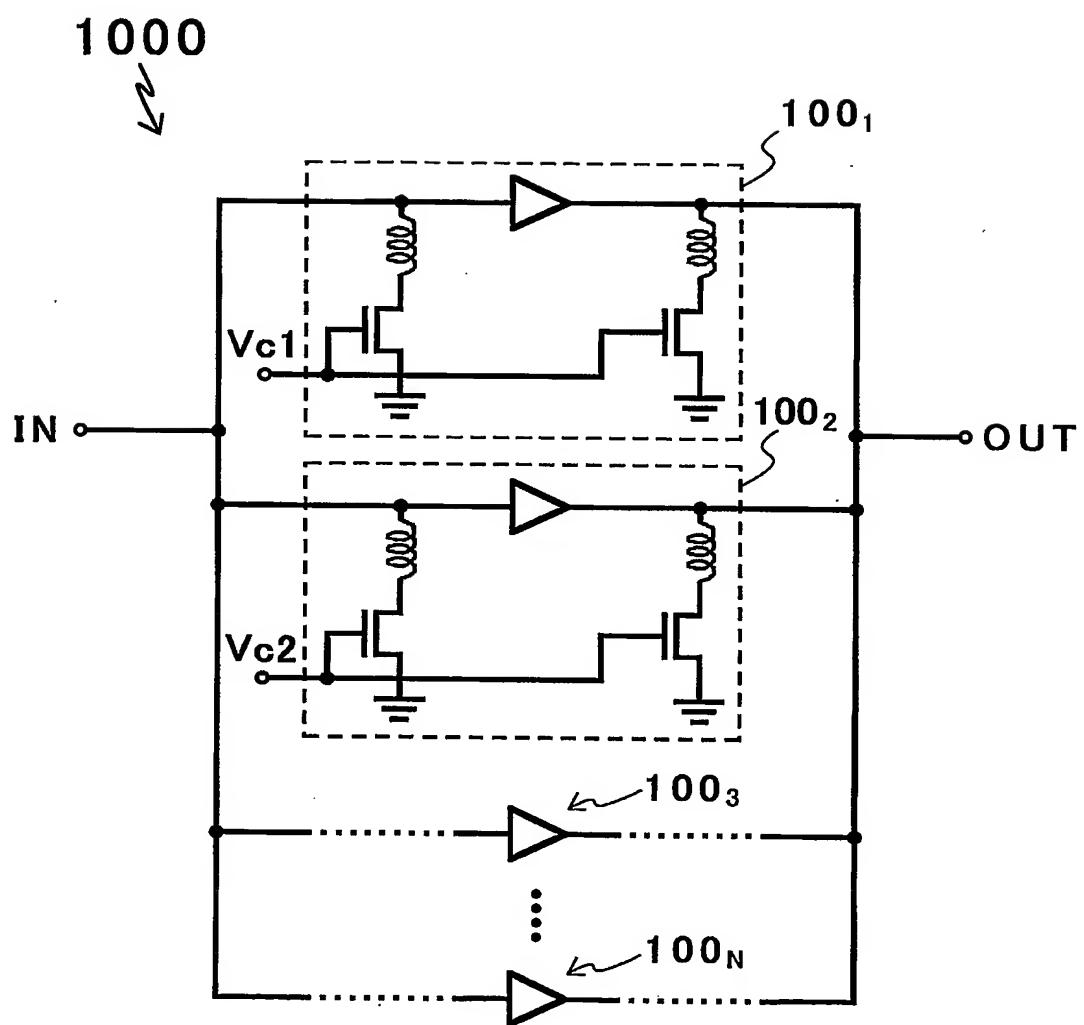
10. 前記増幅回路は差動増幅回路として構成され、前記増幅素子と接地電位との間には定電流源用の電界効果トランジスタをさらに備えていることを特徴とする請求項1に記載の増幅回路。

11. 相互に異なる利得を有し、相互に並列に接続された少なくとも二つの増幅回路を備え、

前記増幅回路は請求項1乃至10の何れか一項に記載の増幅回路からなり、選択された増幅回路を除く他の増幅回路の前記入力インピーダンス及び前記出力インピーダンスの少なくとも何れか一方を高インピーダンスにすることにより利得を変更することが可能な可変利得増幅回路。

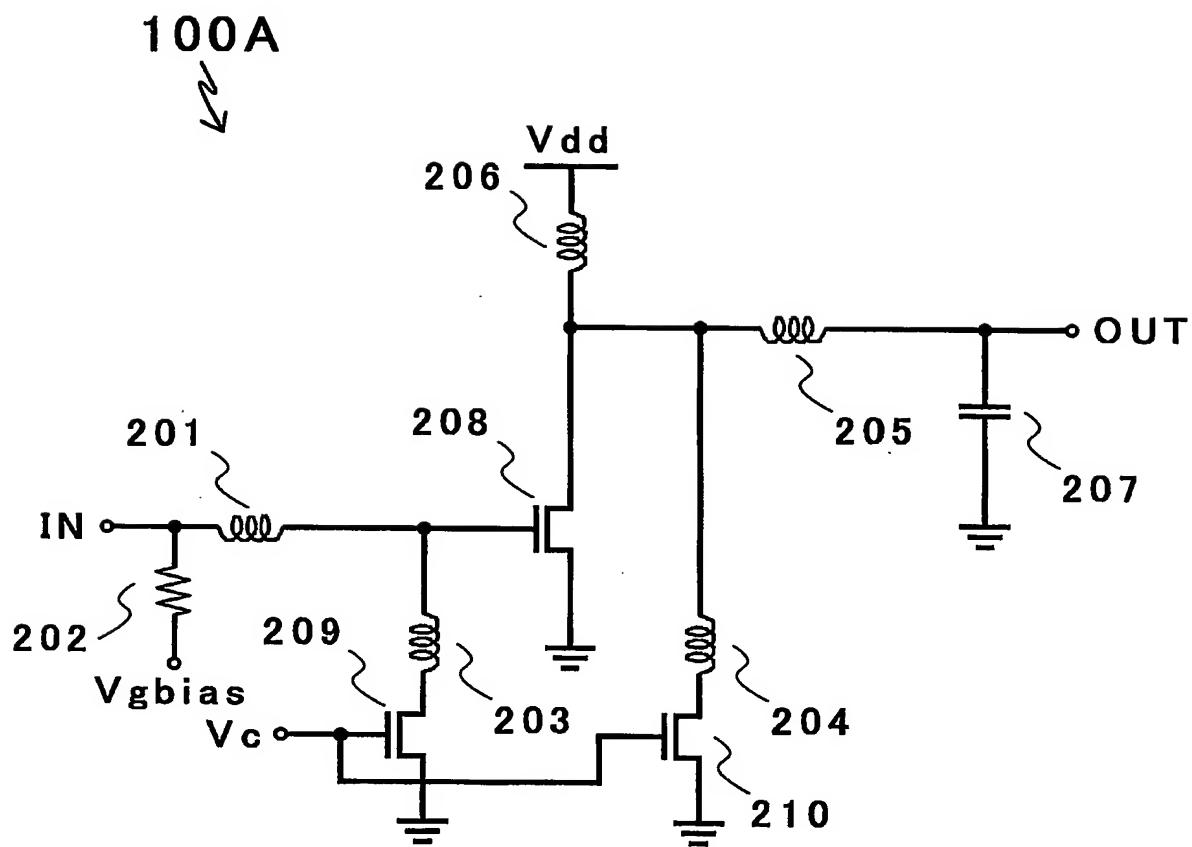
1 / 12

図 1



2 / 12

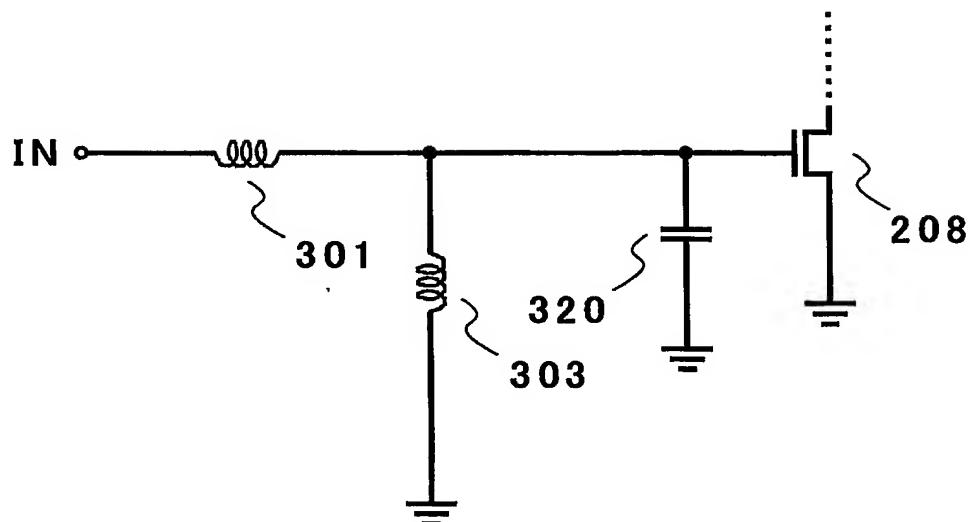
図2



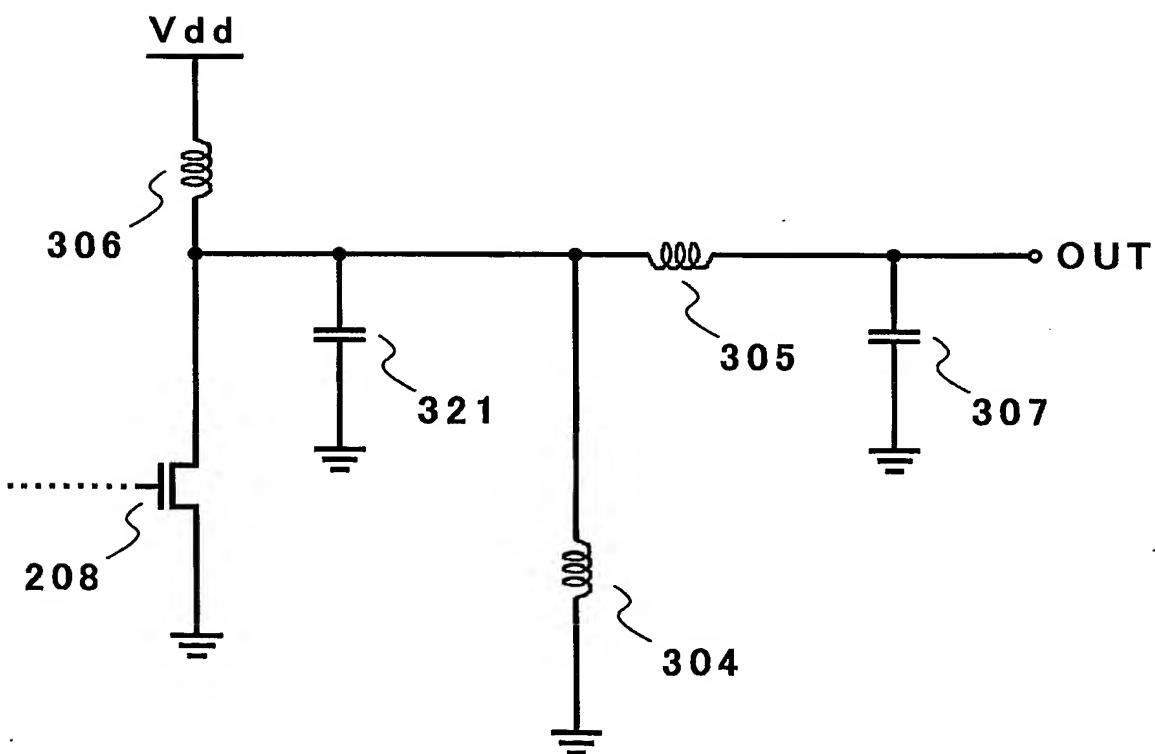
3 / 12

図 3

(a)

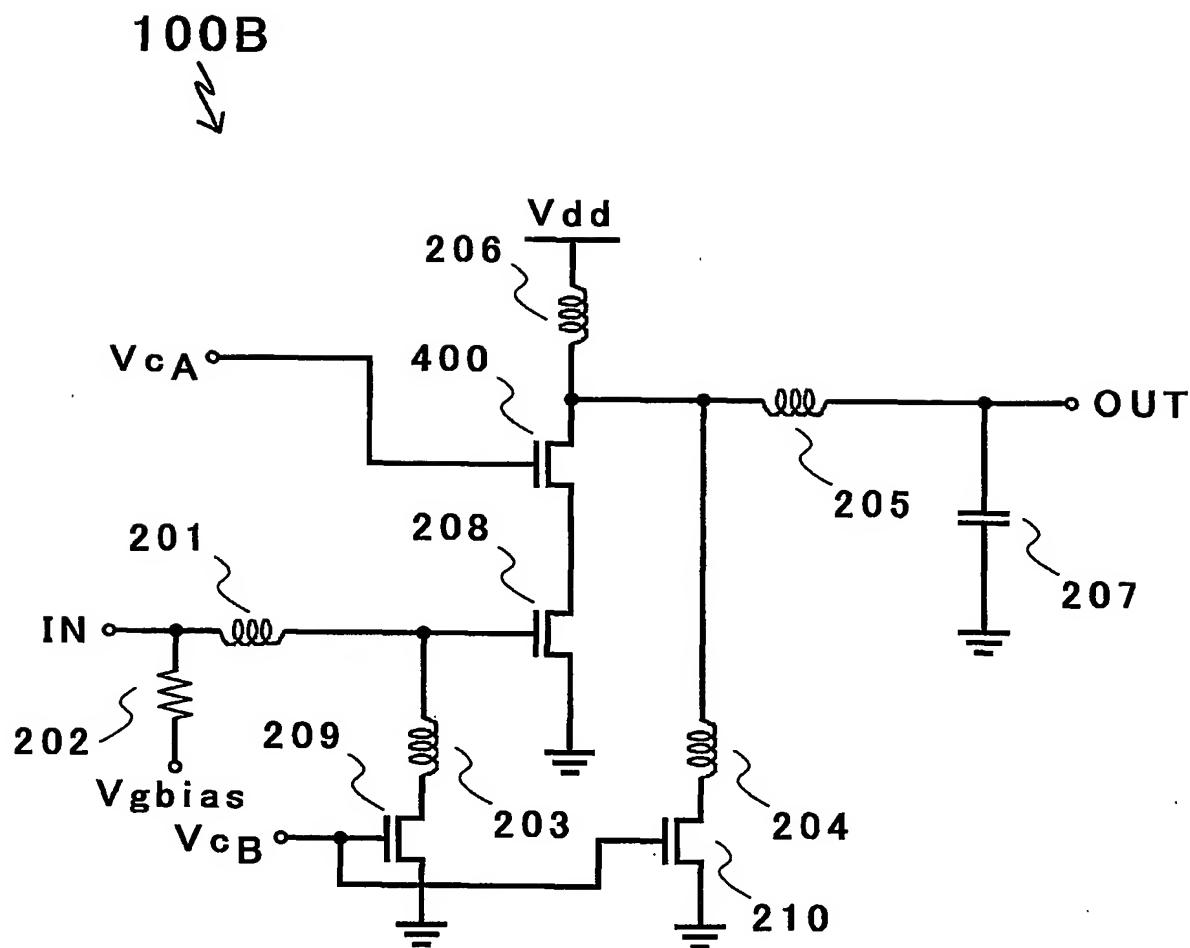


(b)



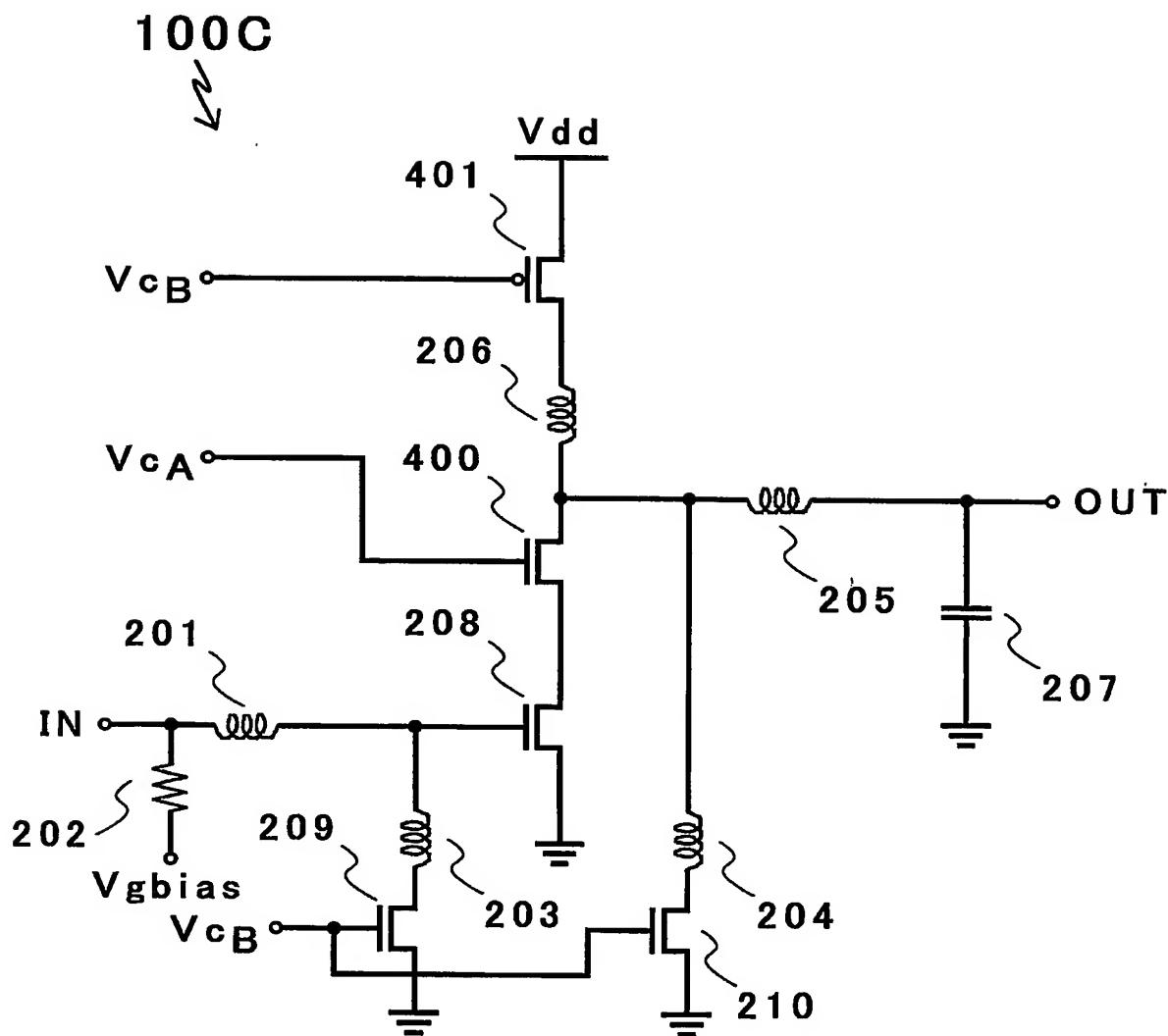
4 / 12

図 4



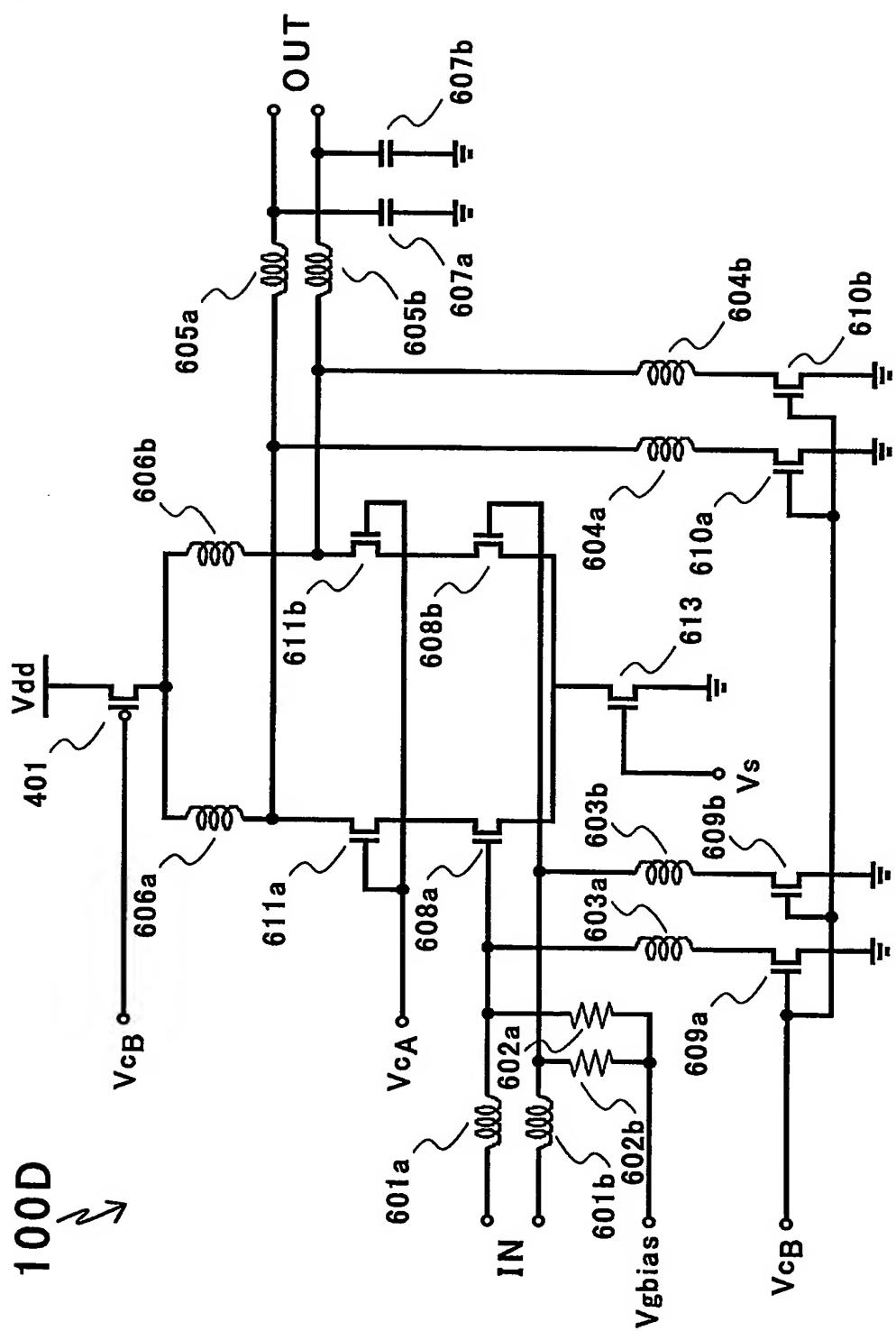
5 / 12

図 5



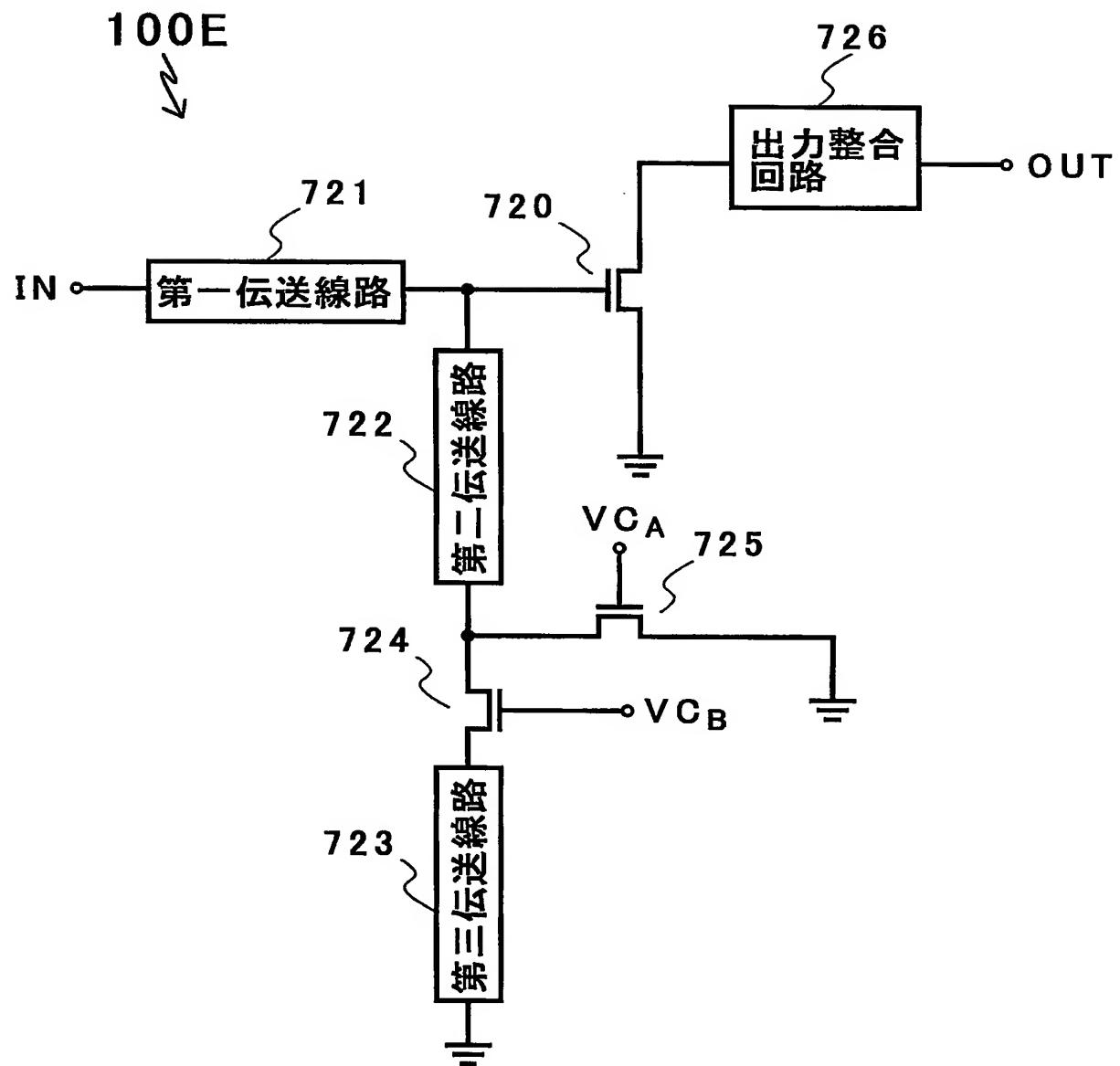
6 / 12

6



7/12

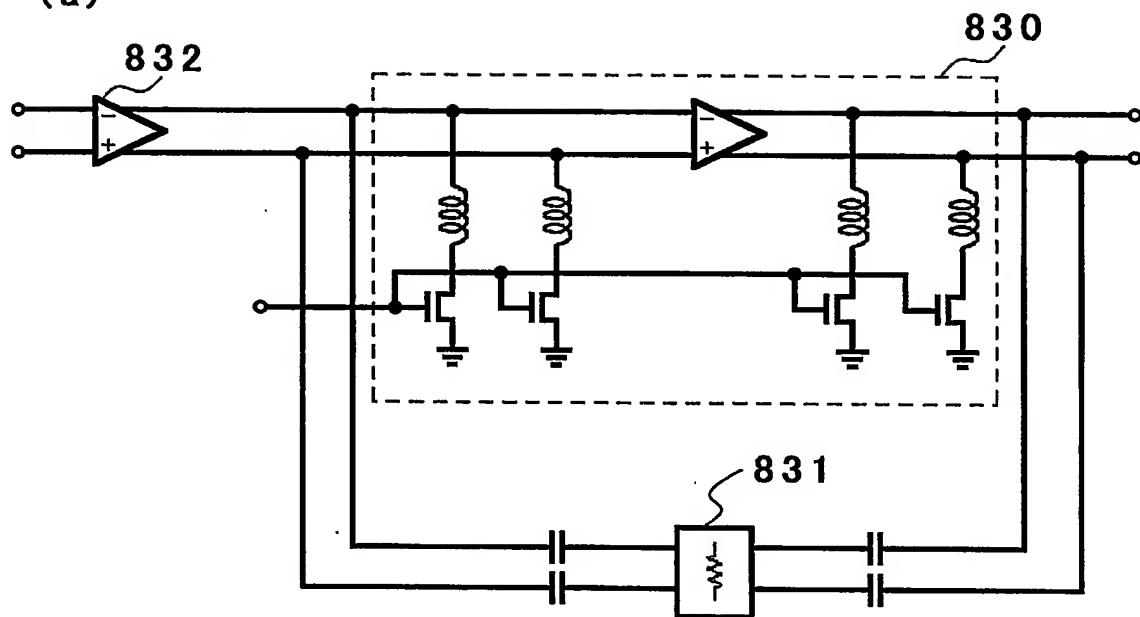
図7



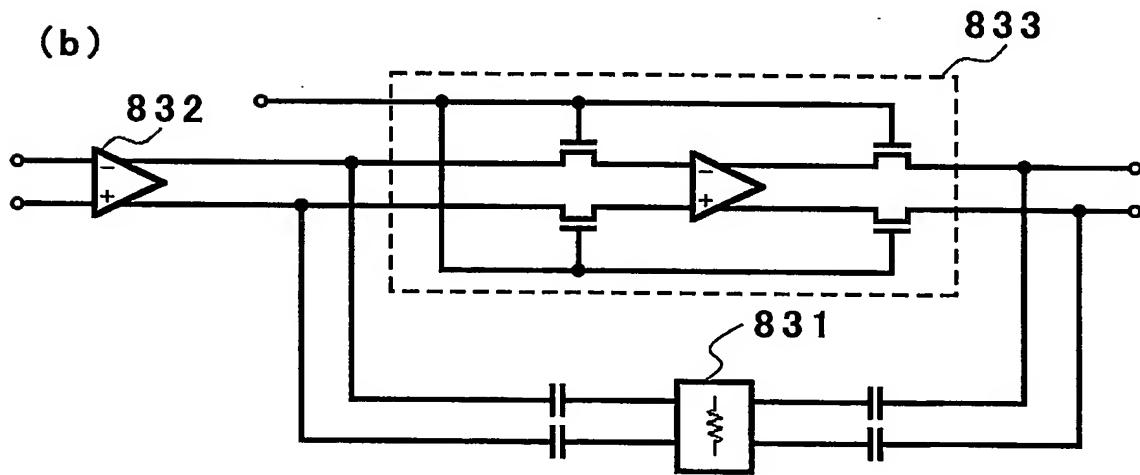
8 / 12

## 図 8

(a)

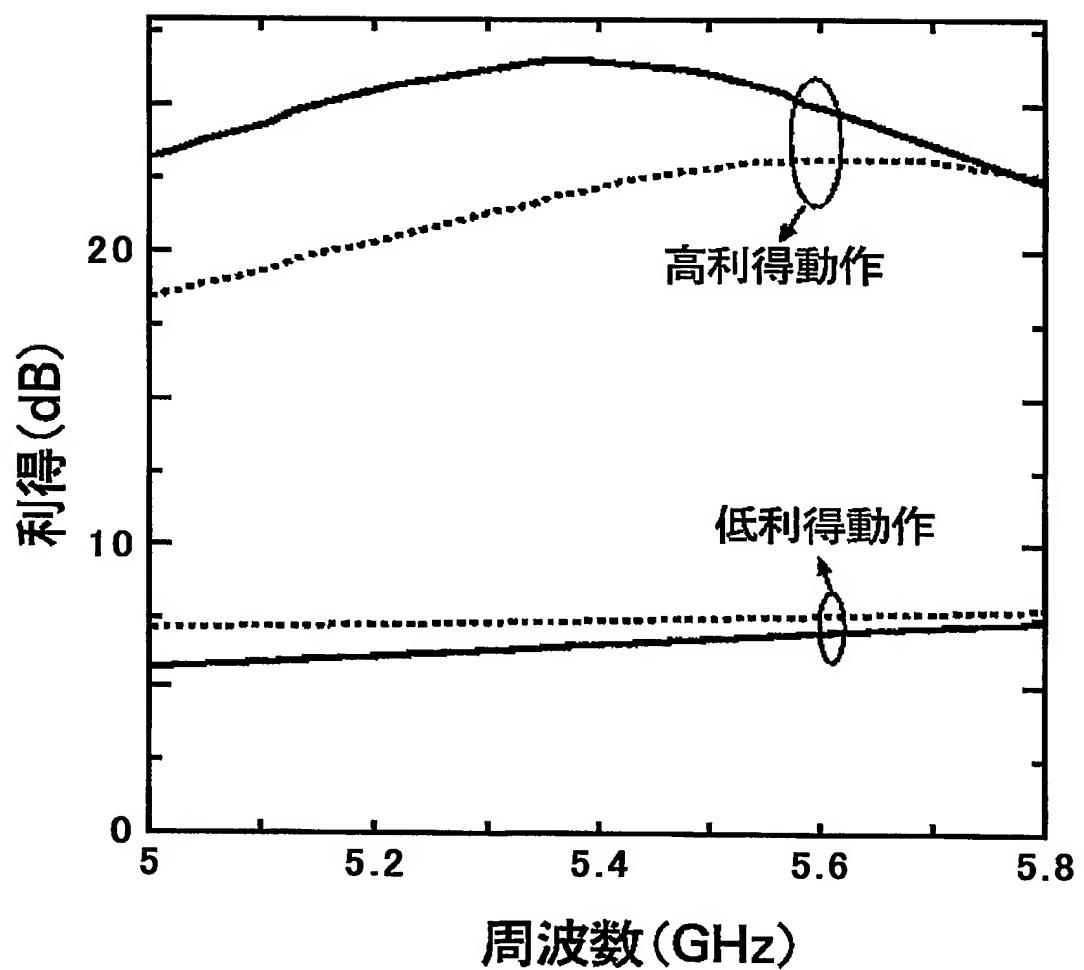


(b)



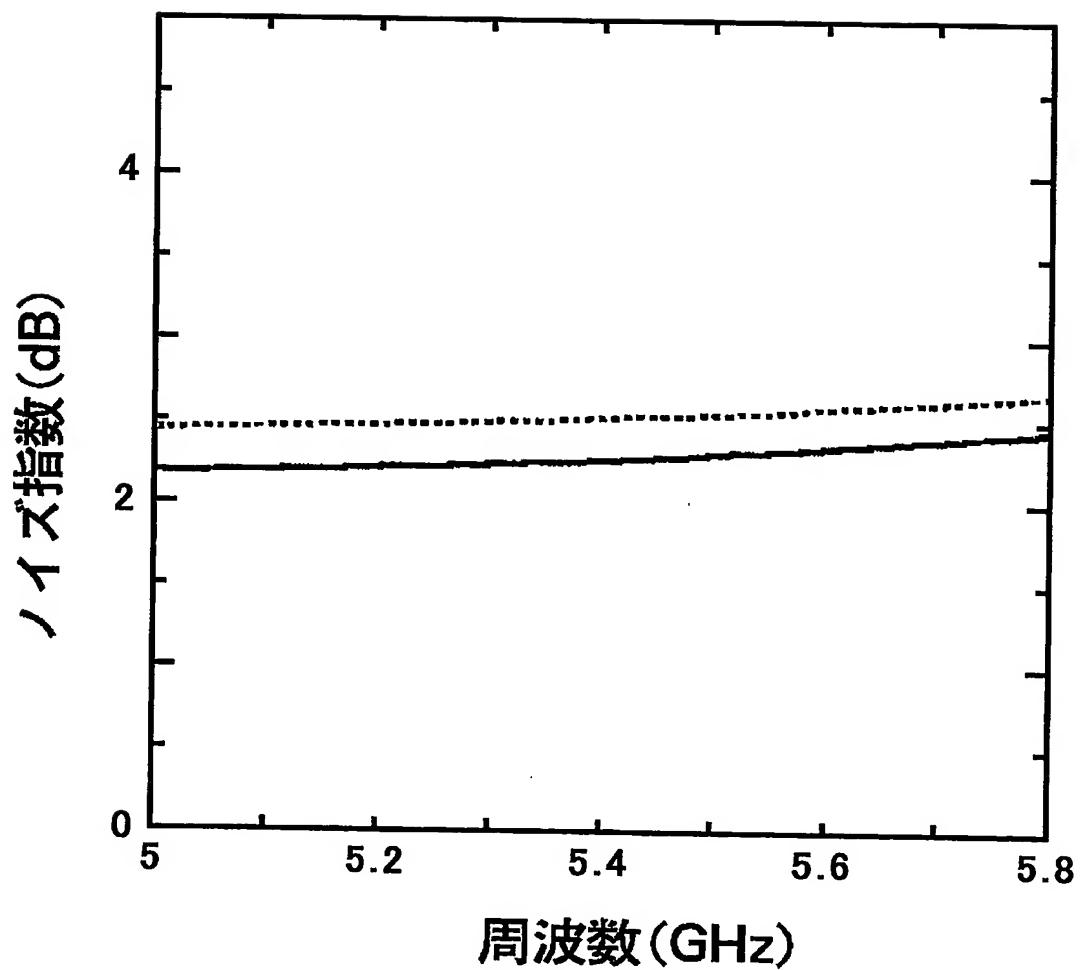
9 / 12

図9



10 / 12

図 10



11 / 12

図 11

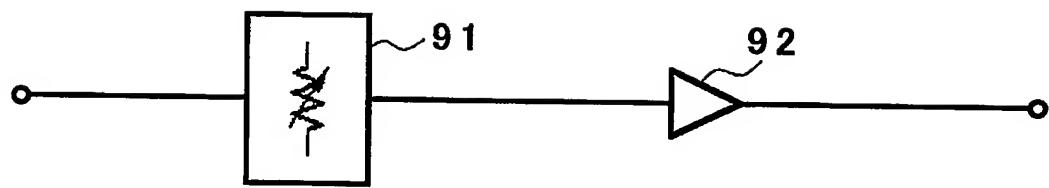
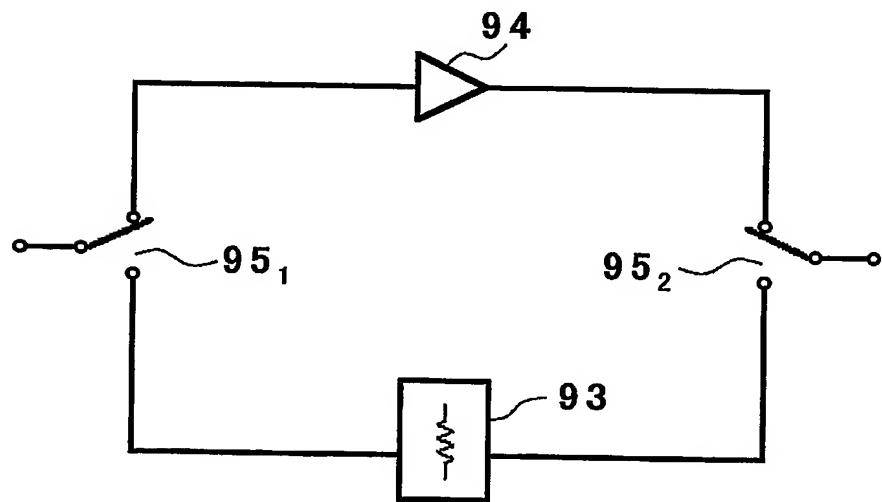
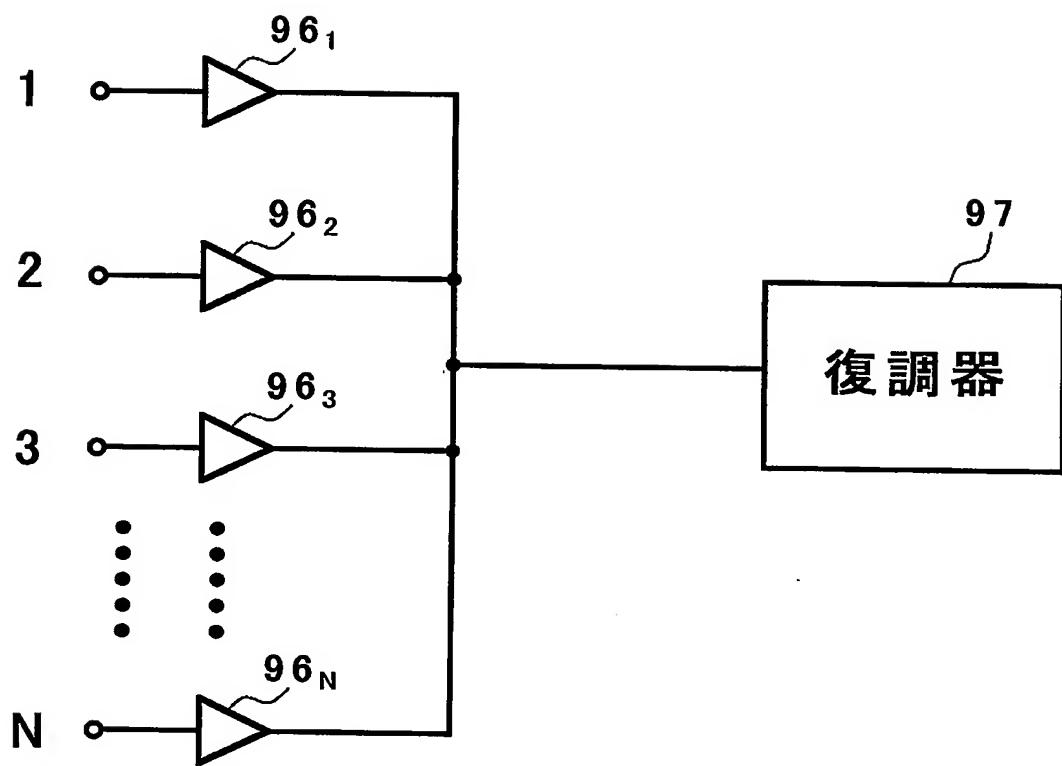


図 12



12/12

図 13



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/15468

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H03F1/56, H03F3/68

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H03F1/56, H03F3/68

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-135060 A (Matsushita Electric Industrial Co., Ltd.), 10 May, 2002 (10.05.02), (Family: none)	1,8-11 2-7
X Y	JP 2002-185270 A (Matsushita Electric Industrial Co., Ltd.), 28 June, 2002 (28.06.02), (Family: none)	1,8-11 2-7
Y	JP 7-235802 A (Nippon Telegraph And Telephone Corp.), 05 September, 1995 (05.09.95), (Family: none)	2-5

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier document but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search  
03 March, 2004 (03.03.04)Date of mailing of the international search report  
16 March, 2004 (16.03.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP03/15468

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 3-195108 A (NEC Corp.), 26 August, 1991 (26.08.91), (Family: none)	6, 7
A	JP 2002-271152 A (Matsushita Electric Industrial Co., Ltd.), 20 September, 2002 (20.09.02), (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. C1' H03F1/56 H03F3/68

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. C1' H03F1/56 H03F3/68

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2002-135060 A (松下電器産業株式会社) 2002. 05. 10 (ファミリーなし)	1, 8-11 2-7
X Y	JP 2002-185270 A (松下電器産業株式会社) 2002. 06. 28 (ファミリーなし)	1, 8-11 2-7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「I」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

## 国際調査を完了した日

03. 03. 2004

## 国際調査報告の発送日

16. 3. 2004

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐藤 敬介

5W 9196

電話番号 03-3581-1101 内線 3574

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	JP 7-235802 A (日本電信電話株式会社) 1995.09.05 (ファミリーなし)	2-5
Y	JP 3-195108 A (日本電気株式会社) 1991.08.26 (ファミリーなし)	6,7
A	JP 2002-271152 A (松下電器産業株式会社) 2002.09.20 (ファミリーなし)	1-11